

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-233641

(43) 公開日 平成11年(1999) 8月27日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 21/8234  
27/088  
27/04  
21/822  
29/78

H 0 1 L 27/08  
27/04  
29/78

1 0 2 F  
H  
3 0 1 K

審査請求 未請求 請求項の数12 F D (全 13 頁)

(21) 出願番号 特願平10-44577

(22) 出願日 平成10年(1998) 2月10日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 大川 和彦

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72) 発明者 ▲さい▼木 隆行

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

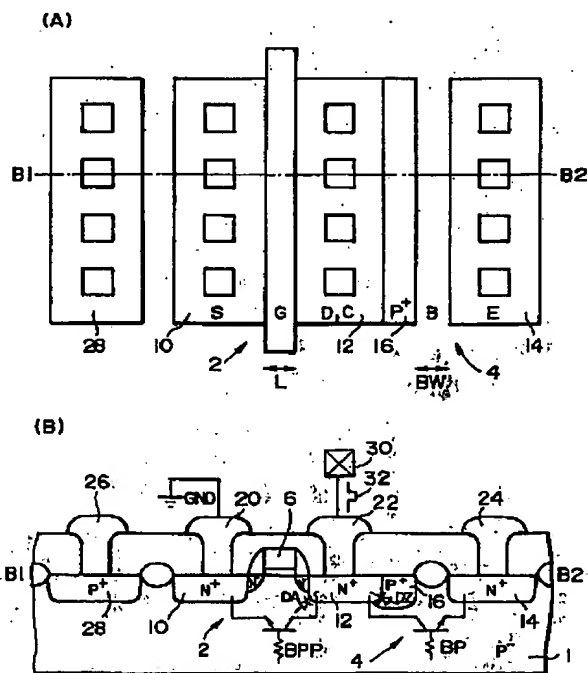
(74) 代理人 弁理士 井上 一 (外2名)

(54) 【発明の名称】 半導体装置及び半導体装置の製造方法

(57) 【要約】

【課題】 高いESD耐圧を確保しながら半導体装置をコンパクト化する。

【解決手段】 出力トランジスタ2は、N<sup>+</sup>領域10をソース領域としN<sup>+</sup>領域12をドレイン領域とする。バイポーラトランジスタ4は、N<sup>+</sup>領域12をコレクタ領域としPウェル1をベース領域としN<sup>+</sup>領域14をエミッタ領域とする。N<sup>+</sup>領域12とP<sup>+</sup>領域16の接合により構成されるツェナーダイオードDZを設け、高電圧パルス32の印加時にBPPの代わりにBPをオンさせる。DZのツェナー電圧VZを不純物濃度により制御し、VZを、ドレイン領域でのアバランシェブレークダウン電圧やスナップバック電圧よりも低くし、絶対最大定格電圧以上にする。ゲート長やコンタクトサイズ等をデザインルール上の最小寸法にする。半導体装置の表面に平行な方向での、ツェナーダイオードの接合を広くする。



(2)

## 【特許請求の範囲】

【請求項1】 第1導電型の第1領域に形成されると共にゲート電極を有し、第2導電型の第1不純物領域をソース領域とし、第2導電型の第2不純物領域をドレイン領域とする第2導電型のFETトランジスタと、前記第1領域に形成され、前記第2不純物領域をコレクタ領域とし、前記第1領域をベース領域とし、前記第2不純物領域と素子分離される第2導電型の第3不純物領域をエミッタ領域とするバイポーラトランジスタと、前記第2不純物領域に隣接する領域であり前記第2、第3不純物領域間の領域に形成される第1導電型の第4不純物領域と、前記第2不純物領域との接合により構成されるツェナーダイオードとを含むことを特徴とする半導体装置。

【請求項2】 請求項1において、前記ツェナーダイオードのツェナー電圧が、前記FETトランジスタの前記ドレイン領域でのアバランシェブレークダウン電圧よりも低いことを特徴とする半導体装置。

【請求項3】 請求項1又は2において、前記ツェナーダイオードのツェナー電圧が、前記FETトランジスタの前記ドレイン領域でのスナップバック電圧よりも低いことを特徴とする半導体装置。

【請求項4】 請求項2又は3において、前記ツェナーダイオードのツェナー電圧が、前記アバランシェブレークダウン電圧及び前記スナップバック電圧のいずれかの電圧よりも低く且つ半導体装置の絶対最大定格電圧以上であることを特徴とする半導体装置。

【請求項5】 請求項1乃至4のいずれかにおいて、前記ツェナー電圧が、前記第4不純物領域の不純物濃度により制御されていることを特徴とする半導体装置。

【請求項6】 請求項1乃至5のいずれかにおいて、前記FETトランジスタの前記ゲート電極のゲート長が、デザインルール上の最小寸法になっていることを特徴とする半導体装置。

【請求項7】 請求項1乃至6のいずれかにおいて、前記FETトランジスタの前記ドレイン領域のドレインコンタクトのサイズ、前記ドレインコンタクトの第1辺と前記ドレイン領域の前記ゲート電極側の第3辺との距離、前記ドレインコンタクトの第2辺と前記ドレイン領域の前記第3辺に直交する第4辺との距離、前記FETトランジスタの前記ソース領域のソースコンタクトのサイズ、前記ソースコンタクトの第5辺と前記ソース領域の前記ゲート電極側の第7辺との距離、前記ソースコンタクトの第6辺と前記ソース領域の前記第7辺に直交する第8辺との距離の少なくとも1つが、デザインルール上の最小寸法になっていることを特徴とする半導体装置。

【請求項8】 請求項1乃至7のいずれかにおいて、前記第2不純物領域と前記第4不純物領域との接合のうち

半導体装置の表面にほぼ平行な方向の接合のほうが半導体装置の表面に交差する方向の接合よりも広いことを特徴とする半導体装置。

【請求項9】 第2導電型のFETトランジスタとバイポーラトランジスタとを含む半導体装置の製造方法であって、

前記FETトランジスタのゲート電極を形成する工程と、

前記FETトランジスタのソース領域となる第2導電型の第1不純物領域、前記FETトランジスタのドレイン領域及び前記バイポーラトランジスタのコレクタ領域となる第2導電型の第2不純物領域、及び前記バイポーラトランジスタのエミッタ領域となる第2導電型の第3不純物領域を、前記バイポーラトランジスタのベース領域となる第1導電型の第1領域に形成する工程と、前記第2不純物領域に隣接する領域であり前記第2、第3不純物領域間の領域に、前記第2不純物領域と共にツェナーダイオードの接合を構成する第1導電型の第4不純物領域を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項10】 請求項9において、

前記第2不純物領域と前記第4不純物領域との接合のうち半導体装置の表面にほぼ平行な方向の接合のほうが半導体装置の表面に交差する方向の接合よりも広くなるように、前記第2不純物領域を形成するための不純物打ち込み領域と前記第4不純物領域を形成するための不純物打ち込み領域とをオーバーラップさせることを特徴とする半導体装置の製造方法。

【請求項11】 請求項9又は10において、

前記第4不純物領域を、半導体装置の表面から離間した領域に形成することを特徴とする半導体装置の製造方法。

【請求項12】 請求項9乃至11のいずれかにおいて、

前記第4不純物領域を、第1導電型のFETトランジスタのLDD構造における低濃度不純物領域を形成する工程、及び第1導電型のFETトランジスタのソース領域及びドレイン領域を形成する工程のいずれかの工程において形成することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は半導体装置に関し、特に静電気等のサージから回路を保護する構造に関する。

## 【0002】

【背景技術及び発明が解決しようとする課題】半導体装置においては、静電気などのサージにより内部回路等が静電破壊されないように、ESD耐圧を高める必要がある。そしてESD耐圧を高める背景技術としてIEEE TRA

(3)

3

NSACTIONS ON ELECTRON DEVICES, VOL. 44, NO. 7, JULY 1997や特開平7-202126に開示される技術が知られている。この背景技術について図1(A)、(B)を用いて説明する。なお図1(A)はこの背景技術の平面図であり、図1(B)は、図1(A)のA1-A2線での断面図である。

【0003】図1(A)、(B)において、半導体基板に形成されたPウェル201には、出力トランジスタ202とバイポーラトランジスタ(BP)204が形成されている。N型のLDD (Lightly Doped Drain) 構造のMOSFETである出力トランジスタ202は、ゲート電極206を有し、N<sup>+</sup>領域210をソース領域、N<sup>+</sup>領域212をドレイン領域としている。またバイポーラトランジスタ(BP)204は、N<sup>+</sup>領域212をコレクタ領域、Pウェル201をベース領域、N<sup>+</sup>領域214をエミッタ領域としている。ここでN<sup>+</sup>領域210は、配線層220を介してGNDライン(接地電位)に接続される。またN<sup>+</sup>領域212は、配線層222を介してパッド230(出力端子、入出力端子、入力端子等)に接続される。またN<sup>+</sup>領域214は、配線層224を介してGNDライン又は所与のディスチャージラインに接続される。またPウェル201は、P<sup>+</sup>領域228(ウェルトップ)、配線層226を介して、GNDライン又はディスチャージラインに接続される。

【0004】この背景例の特徴は、出力トランジスタ202のゲート長(実効チャンネル長)Lを、バイポーラトランジスタ(BP)204のベース幅(実効ベース幅)BWよりも長くした点にある。このようにすることで、パッド230に高電圧パルス(サージ)232が印加された場合に、N<sup>+</sup>領域212、Pウェル201及びN<sup>+</sup>領域210により構成される寄生バイポーラトランジスタBPPの代わりにBPをオンさせることができる。この結果、BPPに大電流が流れるのを防止でき、出力トランジスタ202。(特にゲート絶縁膜)が静電破壊されるのを防止できるようになる。

【0005】しかしながら、この背景技術には、ゲート長Lをデザインルール上の最小寸法にできないという問題がある。ベース幅BWをデザインルール上の最小寸法である例えば0.8 $\mu$ mにした場合には、ゲート長Lを例えば1.8 $\mu$ mにしなければならない。そして、このようにゲート長Lが長くなってしまうと、出力トランジスタ202の電流供給能力が低下してしまう。

【0006】一方、ゲート長Lを長くしたままで電流供給能力を高めるためには、ゲート幅Wを長くする必要があり、これは出力トランジスタ202のレイアウト面積の大規模化という結果を招く。近年、半導体装置には非常に多数のパッド(出力パッド、入出力パッド、入力パッド等)が設けられるため、出力トランジスタ202のレイアウト面積の大規模化は、チップ面積の大規模化や半導体装置のコストアップという結果を招く。

4

【0007】本発明は、以上のような課題を解決するためになされたものであり、その目的とするところは、高いESD耐圧を確保しながらチップ面積の小規模化を実現できる半導体装置及びその製造方法を提供することにある。

【0008】

【課題を解決するための手段】上記課題を解決するために本発明に係る半導体装置は、第1導電型の第1領域に形成されると共にゲート電極を有し、第2導電型の第1不純物領域をソース領域とし、第2導電型の第2不純物領域をドレイン領域とする第2導電型のFETトランジスタと、前記第1領域に形成され、前記第2不純物領域をコレクタ領域とし、前記第1領域をベース領域とし、前記第2不純物領域と素子分離される第2導電型の第3不純物領域をエミッタ領域とするバイポーラトランジスタと、前記第2不純物領域に隣接する領域であり前記第2、第3不純物領域間の領域に形成される第1導電型の第4不純物領域と、前記第2不純物領域との接合により構成されるツェナーダイオードとを含むことを特徴とする。

【0009】本発明によれば、第2不純物領域にESDによる高電圧パルス等が印加されると、第2不純物領域と第1領域との接合により構成される寄生ダイオードがアバランシェブレイクダウンする前に、第2不純物領域と第4不純物領域との接合により構成されるツェナーダイオードをツェナーブレイクダウンさせることができる。これにより、高電圧パルス等によるサージ電流を、第2不純物領域、第1領域及び第3不純物領域により構成されるバイポーラトランジスタにより放電できるようになる。したがって、第2不純物領域、第1領域及び第1不純物領域により構成される寄生バイポーラトランジスタ(FETトランジスタに寄生するバイポーラトランジスタ)に大電流が流れるのを防止でき、ESD耐圧を高めることが可能になる。これに加えて、本発明には、ゲート長をバイポーラトランジスタのベース幅よりも長くしなければならないという制約がなく、ゲート長を短くできる。この結果、本発明によれば、高いESD耐圧を確保しながら半導体装置を格段にコンパクト化できる。

【0010】また本発明は、前記ツェナーダイオードのツェナー電圧が、前記FETトランジスタの前記ドレイン領域でのアバランシェブレイクダウン電圧よりも低いことを特徴とする。このようにすることで、ドレイン領域の寄生ダイオードがアバランシェブレイクダウンする前に、ツェナーダイオードを確実にツェナーブレイクダウンさせることが可能になる。

【0011】また本発明は、前記ツェナーダイオードのツェナー電圧が、前記FETトランジスタの前記ドレイン領域でのスナップバック電圧よりも低いことを特徴とする。

(4)

5

【0012】このようにすることで、高電圧パルス等によるサージ電流をバイポーラトランジスタを介して安定して放電できるようになる。

【0013】また本発明は、前記ツェナーダイオードのツェナー電圧が、前記アバランシェブレークダウン電圧及び前記スナップバック電圧のいずれかの電圧よりも低く且つ半導体装置の絶対最大定格電圧以上であることを特徴とする。このようにすることで、高いESD耐圧の確保と半導体装置のコンパクト化を実現しながら、通常動作時におけるドレイン領域でのリーク電流を効果的に低減できるようになる。

【0014】また本発明は、前記ツェナー電圧が、前記第4不純物領域の不純物濃度により制御されていることを特徴とする。このようにすることで、ツェナー電圧を所望の値にする制御を簡易に実現できるようになる。

【0015】また本発明は、前記FETトランジスタの前記ゲート電極のゲート長が、デザインルール上の最小寸法になっていることを特徴とする。このようにすることで、短いゲート幅で十分なFETトランジスタの電流供給能力を得ることができるようになる。即ち、FETトランジスタの電流供給能力を維持しながら半導体装置のコンパクト化を図れるようになる。

【0016】また本発明は、前記FETトランジスタの前記ドレイン領域のドレインコンタクトのサイズ、前記ドレインコンタクトの第1辺と前記ドレイン領域の前記ゲート電極側の第3辺との距離、前記ドレインコンタクトの第2辺と前記ドレイン領域の前記第3辺に直交する第4辺との距離、前記FETトランジスタの前記ソース領域のソースコンタクトのサイズ、前記ソースコンタクトの第5辺と前記ソース領域の前記ゲート電極側の第7辺との距離、前記ソースコンタクトの第6辺と前記ソース領域の前記第7辺に直交する第8辺との距離の少なくとも1つが、デザインルール上の最小寸法になっていることを特徴とする。このようにすることで、半導体装置を更にコンパクト化できるようになる。

【0017】また本発明は、前記第2不純物領域と前記第4不純物領域との接合のうち半導体装置の表面にほぼ平行な方向の接合のほうが多半導体装置の表面に交差する方向の接合よりも広いことを特徴とする。このようにすることで、ツェナーダイオードの接合の全体の面積を大きくでき、放電経路でのサージ電流の電流通過面積を大きくできるようになる。この結果、ESD耐圧を更に高めることが可能になる。

【0018】また本発明は、第2導電型のFETトランジスタとバイポーラトランジスタとを含む半導体装置の製造方法であって、前記FETトランジスタのゲート電極を形成する工程と、前記FETトランジスタのソース領域となる第2導電型の第1不純物領域、前記FETトランジスタのドレイン領域及び前記バイポーラトランジスタのコレクタ領域となる第2導電型の第2不純物領

6

域、及び前記バイポーラトランジスタのエミッタ領域となる第2導電型の第3不純物領域を、前記バイポーラトランジスタのベース領域となる第1導電型の第1領域に形成する工程と、前記第2不純物領域に隣接する領域であり前記第2、第3不純物領域間の領域に、前記第2不純物領域と共にツェナーダイオードの接合を構成する第1導電型の第4不純物領域を形成する工程とを含むことを特徴とする。

【0019】本発明によれば、高いESD耐圧を持ち且つコンパクトな半導体装置を形成することが可能になる。なお第4不純物領域を形成する工程は、第1、第2、第3不純物領域を形成する工程の前に行ってもよいし、後に行ってもよい。

【0020】また本発明は、前記第2不純物領域と前記第4不純物領域との接合のうち半導体装置の表面にほぼ平行な方向の接合のほうが多半導体装置の表面に交差する方向の接合よりも広くなるように、前記第2不純物領域を形成するための不純物打ち込み領域と前記第4不純物領域を形成するための不純物打ち込み領域とをオーバーラップさせることを特徴とする。このようにすれば、不純物打ち込み領域同士のオーバーラップを大きくするだけでツェナーダイオードの接合の全体の面積を大きくでき、ESD耐圧を更に高めることが可能になる。

【0021】また本発明は、前記第4不純物領域を、半導体装置の表面から離間した領域に形成することを特徴とする。このようにすることで、第4不純物領域が多半導体装置の表面に露出することを防止できるようになる。

【0022】また本発明は、前記第4不純物領域を、第1導電型のFETトランジスタのLDD構造における低濃度不純物領域を形成する工程、及び第1導電型のFETトランジスタのソース領域及びドレイン領域を形成する工程のいずれかの工程において形成することを特徴とする。このようにすることで、工程数を減らすことができ、半導体装置の製造期間の短縮化、半導体装置の低コスト化を図れる。

【0023】

【発明の実施の形態】以下、本発明の良好な実施形態について説明する。なお以下では、第1導電型をP型とし、第2導電型をN型として説明する。またMOS型の出力トランジスタの静電破壊防止への適用例について説明する。しかしながら、本発明は、第1導電型がN型であり、第2導電型がP型である場合にも適用できる。またMOS型トランジスタ以外にも、MIS型トランジスタなどの種々のFETトランジスタに適用できる。更に出力トランジスタ以外にも、入力パッドの保護回路として設けられるトランジスタ等にも適用できる。

【0024】1. 本実施形態の構成

図2(A)に、本実施形態の平面図の一例を示す。また図2(B)に、図2(A)におけるB1-B2線の断面図を示す。

(5)

7

【0025】図2(A)、(B)において、半導体基板に形成されたPウェル1(第1導電型の第1領域)には、出力トランジスタ2とバイポーラトランジスタ(BP)4が形成されている。N型のLDD(Lightly Doped Drain)構造のMOSFETである出力トランジスタ(出力バッファ)2は、ゲート電極6を有し、N<sup>+</sup>領域10(第2導電型の第1不純物領域)をソース領域、N<sup>+</sup>領域12(第2導電型の第2不純物領域)をドレイン領域としている。またバイポーラトランジスタ(BP)4は、上記N<sup>+</sup>領域12をコレクタ領域、Pウェル1をベース領域、N<sup>+</sup>領域14(第2導電型の第3不純物領域)をエミッタ領域としている。即ちN<sup>+</sup>領域12は、出力トランジスタ2ではドレイン領域として使用され、バイポーラトランジスタ4ではコレクタ領域として使用される(出力トランジスタ2とバイポーラトランジスタ4に共有される)。

【0026】ここでN<sup>+</sup>領域10は、配線層20を介して例えばGNDライン(接地電位)に接続される。またN<sup>+</sup>領域12は、配線層22を介して例えばパッド30(出力端子、入出力端子、入力端子等)に接続される。またN<sup>+</sup>領域14は、配線層24を介して例えばGNDライン又は所与のディスチャージラインに接続される。またPウェル1は、P<sup>+</sup>領域28(ウェルトップ)、配線層26を介して、例えばGNDライン又はディスチャージラインに接続される。

【0027】なお以下では、N<sup>+</sup>領域10を適宜ソース領域10と呼び、N<sup>+</sup>領域12を適宜ドレイン領域12又はコレクタ領域12と呼び、N<sup>+</sup>領域14を適宜エミッタ領域14と呼ぶことにする。

【0028】図1(A)、(B)と図2(A)、(B)を比較すればわかるように、本実施形態の特徴は、N<sup>+</sup>領域12に隣接する領域であり且つN<sup>+</sup>領域12とN<sup>+</sup>領域14との間の領域に、P<sup>+</sup>領域16(第1導電型の第4不純物領域)を設けた点にある。即ち、N<sup>+</sup>領域12とP<sup>+</sup>領域16との接合により構成されるツェナーダイオードDZを設けた点にある。このようにすれば、パッド30に高電圧パルス32が印加された場合に、N<sup>+</sup>領域12とPウェル1との接合により構成される寄生ダイオードDAがアバランシェブレイクダウンする前に、ツェナーダイオードDZをツェナーブレイクダウンさせることが可能になる。これにより、N<sup>+</sup>領域12、Pウェル1、N<sup>+</sup>領域10により構成される寄生バイポーラトランジスタBPPの代わりに、BPをオンさせることができる。この結果、BPPに大電流が流れるのを防止でき、出力トランジスタ2(特にゲート絶縁膜)が静電破壊されるのを防止できるようになる。

【0029】しかも、図1(A)、(B)の背景例では、ゲート長Lをベース幅BWよりも長くしなければBPPの代わりにBPをオンさせることができず、ゲート長をデザインルール上の最小寸法にできなかった。これ

8

に対して本実施形態によれば、ゲート長Lをデザインルール上の最小寸法にしながら、BPPの代わりにBPをオンさせることができる。この結果、高いESD耐圧を確保しながら、出力トランジスタ2のレイアウト面積を小さくでき、半導体装置のコンパクト化、低コスト化を図れるようになる。

#### 【0030】2. ツェナー電圧の設定

ツェナーダイオードDZが設けられていない通常の出力トランジスタでは、ドレイン領域に高電圧パルス(サージ)が印加されると、ドレイン領域の寄生ダイオードDAがアバランシェブレイクダウンする。この時、図3のE1に示すように、ドレイン電圧はVAB(アバランシェブレイクダウン電圧)になる。その後、寄生バイポーラトランジスタBPPがオンすると、図3のE2に示すように、ドレイン電圧はVABからVSB(スナップバック電圧)に低下する。このようにドレイン電圧が低下する現象はスナップバックと呼ばれる。

【0031】本実施形態では、図3のE3に示すように、ツェナーダイオードDZのツェナー電圧VZが、出力トランジスタ2のドレイン領域12でのアバランシェブレイクダウン電圧VABよりも低くなるようにしている( $VZ < VAB$ )。このようにすることで、DAがアバランシェブレイクダウンする前にDZを確実にツェナーブレイクダウンさせることが可能となり、BPPの代わりにBPをオンさせることが可能になる。

【0032】更に好ましくは、図3のE4に示すように、ツェナー電圧VZが、出力トランジスタ2のドレイン領域12でのスナップバック電圧VSBよりも低くなるようにする( $VZ < VSB$ )。このようにすることで、バイポーラトランジスタBP側に安定して電流を放電できるようになる。即ち $VZ < VSB$ に設定することで、高電圧パルス印加時にドレイン電圧を、スナップバック電圧VSBよりも低い電圧にクランプできるようになる。このようにドレイン電圧をVSBよりも低い電圧にクランプできれば、何らかの要因でDAがアバランシェブレイクダウンしてしまった場合にも、BPPがオンしないことを確実に保証できるようになる。この結果、電流の放電経路がBP側からBPP側になってしまうのを効果的に防止でき、出力トランジスタ2の静電破壊を確実に防止できるようになる。

【0033】またDZのツェナー電圧VZは、図3のE3又はE4に示すように、半導体装置の絶対最大定格電圧VAM以上となることが望ましい。即ち $VAB > VZ \geq VAM$ 又は $VSB > VZ \geq VAM$ となることが望ましい。このようにすることで、高いESD耐圧を確保しながら、通常動作時にドレイン領域12からPウェル1にツェナーダイオードDZを介してリーク電流が流れるのを防止できる。

【0034】通常、ドレイン領域12に隣接してP<sup>+</sup>領域16を形成しツェナーダイオードDZを設けることは

50

(6)

9

好ましい設計とされない。DZを介してリーク電流が流れる可能性があるからである。本実施形態は、このような本実施形態を構成する事の妨げとなる事情にあえて反して、ドレイン領域12に隣接してP<sup>+</sup>領域16を形成しDZを設けた点に特徴がある。即ち絶対最大定格電圧VAM以上になるようにツェナー電圧VZを調整すれば通常動作時にリーク電流が流れるのを防止できることに着目して、DZを設けている点に特徴がある。そして、 $VZ \geq VAM$ となり且つ $VZ < VAB$ 又は $VZ < VSB$ となるようにVZを調整すれば、通常動作時にはリーク電流を防止しながら、高電圧パルス印加時にはESD耐圧を高めることができるようになる。

### 【0035】3. ツェナー電圧の制御

本実施形態では、図3のツェナー電圧VZを、P<sup>+</sup>領域16の不純物濃度により制御している。これにより、 $VAB > VZ \geq VAM$ 又は $VSB > VZ \geq VAM$ となるようにツェナー電圧VZを制御できるようになる。

【0036】図4(A)に、図4(B)のように半導体装置の表面に沿う方向にX軸、X軸に直交する方向にY軸をとった場合の、 $Y=0$ 、 $1\mu m$ での不純物濃度の分布例を示す。ツェナーダイオードDZの接合は、図4

(A)のF1に示す境界で形成されることになる。そしてツェナー電圧VZは、この境界でのN<sup>+</sup>不純物濃度

(F2参照。N<sup>+</sup>領域12を形成する例えばヒ素Asの濃度)と、この境界でのP<sup>+</sup>不純物濃度(F3参照。P<sup>+</sup>領域16を形成する例えばボロンBF<sub>2</sub>の濃度)とで決められる。

【0037】図5に、N<sup>+</sup>不純物濃度を $2.0 \times 10^{20} cm^{-3}$ に固定した場合での、P<sup>+</sup>不純物濃度とツェナー電圧との関係を示す。図5に示すように、例えばツェナー電圧VZを9Vにするためには、P<sup>+</sup>不純物濃度を $3.0 \times 10^{17} cm^{-3}$ 程度にすればよいことがわかる。同様に、ツェナー電圧VZを7V、5Vにするためには、各々、P<sup>+</sup>不純物濃度を $6.0 \times 10^{17} cm^{-3}$ 、 $1.0 \times 10^{18} cm^{-3}$ 程度にすればよいことがわかる。即ちP<sup>+</sup>不純物濃度を大きくすればするほど、ツェナー電圧VZは小さくなる。

【0038】このようにP<sup>+</sup>不純物濃度を制御することで、ツェナー電圧VZを所望の値に簡易に調整できるようになる。

### 【0039】4. ゲート長

前述のように図1(A)、(B)の背景例では、ゲート長Lをベース幅BWよりも長くしなければならない。このためゲート長Lをデザインルール上の最小寸法にできない。したがって、出力トランジスタの電流供給能力を高めるためには、ゲート幅Wを大きくしなければならない。このため図6(A)に示すように、出力トランジスタのレイアウト面積が非常に大きくなる。

【0040】これに対して本実施形態では、 $L > BW$ という制約を無くすることができる。このため、ゲート長L

10

をデザインルール上の最小寸法にすることができる。したがって、図6(B)に示すように、出力トランジスタのレイアウト面積を図6(A)に比べて格段に小さくすることができる。この結果、半導体装置のコンパクト化、低コスト化を図れる。特に、近年、半導体装置には非常に多数のパッド(出力パッド、入出力パッド、入力パッド等)が設けられるため、パッドの保護回路のレイアウト面積を小規模化できると、チップ面積を格段に小さくできるようになる。

【0041】また本実施形態ではバイポーラトランジスタBPに電流を放電することで静電破壊を防止している。一方、このようなBPを設けないタイプの半導体装置では、高電圧パルスの印加時に寄生バイポーラトランジスタBPPに電流を放電することで静電破壊を防止して。そして、素子寸法がそれほど微細化されていない場合には、BPPに大電流が流れても出力トランジスタが静電破壊されることはなかったが、素子寸法の微細化が進みゲート絶縁膜が薄くなると、この大電流により出力トランジスタが静電破壊されるという事態が生じるようになった。そして、このようにBPPに大電流が流れても出力トランジスタが静電破壊されないようにするためには、出力トランジスタのゲート長Lを長くせざるを得なかった。

【0042】そして本実施形態と同じくBPPの代わりにBPを介して電流を放電する図1(A)、(B)の背景例でも、 $L > BW$ の制約から、やはりゲート長Lを長くせざるを得なかった。

【0043】これに対して本実施形態では、BPPの代わりにBPを介して電流が放電され、且つ、 $L > BW$ の制約も無くすることができる。このため、ゲート長Lを短くすることができ、出力バッファのレイアウト面積を画期的に縮小することに成功している。

### 【0044】5. コンタクトサイズ等

また本実施形態によれば、図7に示すように、ドレイン領域12に形成されるドレインコンタクト40のサイズD1、ドレインコンタクト40の辺41とドレイン領域12のゲート電極6側の辺44との距離D2、又はドレインコンタクト40の辺42とドレイン領域12の辺46(辺44に直交)との距離D3等を、デザインルール上の最小寸法にすることが可能になる。同様に本実施形態によれば、ソース領域10に形成されるソースコンタクト50のサイズD4、ソースコンタクト50の辺51とソース領域10のゲート電極6側の辺54との距離D5、又はソースコンタクト50の辺52とソース領域10の辺56(辺54に直交)との距離D6を、デザインルール上の最小寸法にすることが可能になる。これにより出力トランジスタのレイアウト面積を更にコンパクト化できるようになる。

【0045】高電圧パルス印加により寄生バイポーラトランジスタBPPに大電流が流れる場合には、ESD耐

(7)

11

圧を高めるために、電流が流れる経路であるドレインコンタクト40やソースコンタクト50のサイズD1、D4を大きくする必要がある。また距離D2やD5を長くして、電流が流れる経路の寄生抵抗を増やす必要もある。更に、辺46や辺56の部分で静電破壊が生じないように、距離D3やD6を長くする必要がある。

【0046】これに対して本実施形態によれば、ESDによる高電圧パルス印加時に、寄生バイポーラトランジスタBPPの代わりにバイポーラトランジスタBPを介して電流が放電される。したがって、D1~D6を短くし、例えばデザインルール上の最小寸法にしても、高いESD耐圧を確保できるようになる。即ち、高いESD耐圧を確保しながら出力トランジスタのレイアウト面積を格段に縮小化できるようになる。

【0047】6. ツェナーダイオードの接合の形態  
ツェナーダイオードの接合の形態としては種々のものを考えることができる。例えば図8(A)では、ツェナーダイオードDZの接合のうち、半導体装置の表面にほぼ平行な方向の接合J1が狭くなっている。例えばJ1は、表面に交差する方向の接合J2よりも狭くなっている。このような接合形態では、J1とJ2を合わせた接合の全体の面積は小さくなる。このため、接合で発生するリーク電流(N<sup>+</sup>領域12からP<sup>+</sup>領域16を介してPウェル1に流れるリーク電流)を小さくできる。しかしながら、高電圧パルス印加時における電流の通過面積が狭くなり、ESD耐圧が低くなる可能性がある。また、製造プロセスの変動等に起因するツェナー電圧のバラツキ幅が大きくなる可能性もある。

【0048】これに対して図8(B)では、ツェナーダイオードDZの接合のうち、半導体装置の表面にほぼ平行な方向の接合J1が広がっている。例えばJ1は、表面に交差する方向の接合J2よりも広がっている。このような接合形態では、J1とJ2を合わせた接合の全体の面積は大きくなる。このため、接合で発生するリーク電流は大きくなってしまふ。しかしながら、高電圧パルス印加時における電流の通過面積が広くなり、ESD耐圧を高めることが可能になる。また、製造プロセスの変動等に起因するツェナー電圧のバラツキを低減することも可能になる。

【0049】したがって、リーク電流の抑制を優先する場合には図8(A)の接合形態が有利となり、ESD耐圧の向上やツェナー電圧のバラツキ低減を優先する場合には図8(B)の接合形態が有利となる。

【0050】なお、接合J1の大きさは、N<sup>+</sup>領域12を形成するための不純物打ち込み領域INとP<sup>+</sup>領域16を形成するための不純物打ち込み領域IPとのオーバーラップ領域IVの大きさにより制御できる。例えば図8(A)に示すように、オーバーラップ領域IVを狭くすれば接合J1は狭くなり、J1は例えば接合J2よりも狭くなる。これによりリーク電流を低減できるように

12

なる。一方、図8(B)に示すように、オーバーラップ領域IVを広くすれば接合J1は広くなり、J1は例えば接合J2よりも広がる。これにより、ESD耐圧を高めると共にツェナー電圧のバラツキを低減できるようになる。

#### 【0051】7. 製造方法

次に、本実施形態の製造方法について簡単に説明する。

##### 【0052】(1) 製造方法1

図9(A)~(F)に製造方法1の工程断面図を示す。

【0053】まず素子分離膜(フィールド酸化膜)60、寄生トランジスタ形成防止のためのチャンネルストップ層62を形成する(図9(A))。チャンネルストップ層62はボロンなどのイオン注入により形成する。

【0054】次に、熱酸化により所望の厚さのゲート酸化膜64を形成する(図9(B))。そしてCVD法等によりポリシリコン膜を形成し、しきい値調整のためのイオン注入後、フォトリソ工程によりポリシリコン膜をパターンニングし、ゲート電極6を形成する(図9(C))。

【0055】次に、例えば、N型不純物であるリンを加速エネルギー40KeV、ドーズ量 $3.0 \times 10^{13} \text{ cm}^{-2}$ でイオン注入し、LDD構造のための低濃度不純物領域(オフセット領域)66、67、68を形成する(図9(D))。

【0056】次に、LDD構造のためのサイドウォール70を形成する。そして、例えば、P型不純物であるボロンを加速エネルギー40KeV、ドーズ量 $1.2 \times 10^{13} \sim 5.0 \times 10^{13} \text{ cm}^{-2}$ でイオン注入し、P<sup>+</sup>領域16を形成する(図9(E))。この場合、ツェナー電圧を9Vに設定する場合にはドーズ量を例えば $1.2 \times 10^{13} \text{ cm}^{-2}$ 程度にし、7Vに設定する場合には $3.0 \times 10^{13} \text{ cm}^{-2}$ 程度にし、5Vに設定する場合には $5.0 \times 10^{13} \text{ cm}^{-2}$ 程度にする。またボロンの打ち込み領域IPは、例えば所与のフォトリソにより設定する。

【0057】次に、例えば、N型不純物であるヒ素を加速エネルギー50KeV、ドーズ量 $4.0 \times 10^{15} \text{ cm}^{-2}$ でイオン注入し、N<sup>+</sup>領域10、12、14を形成する(図9(F))。この場合、ヒ素の打ち込み領域INは、例えば所与のフォトリソにより設定する。

【0058】なお、P型トランジスタのLDD構造におけるP型の低濃度不純物領域(オフセット領域)の形成工程で、P<sup>+</sup>領域16を形成し、工程を短縮化することもできる。この場合には、P型の低濃度不純物領域を形成する際のプロセス条件(ドーズ量等)で、所望のツェナー電圧を得られることが必要になる。またこの場合には、N<sup>+</sup>領域12を形成する前にP<sup>+</sup>領域16を形成することになる。

【0059】但し、P型の低濃度不純物領域の形成工程でP<sup>+</sup>領域16を形成しない場合等には、N<sup>+</sup>領域12の形成後にP<sup>+</sup>領域16を形成するようにしてもよい。

【0060】更に、所望のツェナー電圧を得られるなら

(8)

13

ば、P型トランジスタのソース領域やドレイン領域の形成工程でP<sup>+</sup>領域16を形成し、工程を短縮化することも可能である。

【0061】以上説明した製造方法1では、図9(F)に示すように、N<sup>+</sup>領域12を形成するための不純物打ち込み領域INと、P<sup>+</sup>領域16を形成するための不純物打ち込み領域IPとのオーバーラップ領域IVは狭くなっている。例えばマスクアライメントの誤差を考慮して1~2μm程度のオーバーラップになっている。したがって、図8(A)で既に説明したように、ESD耐圧は多少低くなるが、通常動作時におけるリーク電流が少ない半導体装置を提供できるようになる。

#### 【0062】(2) 製造方法2

図10(A)~(F)に製造方法2の工程断面図を示す。

【0063】上述の製造方法1との相違は、図10(E)において、P型不純物であるボロンの打ち込み領域IPを広くしている点にある。その他については製造方法1とほぼ同様であるため詳しい説明を省略する。

【0064】製造方法2によれば、図10(F)に示すように、N<sup>+</sup>領域12を形成するための不純物打ち込み領域INと、P<sup>+</sup>領域16を形成するための不純物打ち込み領域IPとのオーバーラップ領域IVが広がる。したがって、図8(B)で既に説明したように、通常動作時におけるリーク電流は多少多くなるが、ESD耐圧を高めることができると共に、ツェナー電圧のバラツキを低減できる。(3) 製造方法3

図11(A)~(F)に製造方法3の工程断面図を示す。

【0065】上述の製造方法1との相違は、図11(E)において、P型不純物であるボロンを、例えば100~200KeV程度の高エネルギーで打ち込んでいる点にある。その他については製造方法1とほぼ同様であるため詳しい説明を省略する。

【0066】製造方法3によれば、P型不純物であるボロンが高エネルギーで打ち込まれるため、図11(F)に示すように、P<sup>+</sup>領域16を、半導体装置の表面から離間した領域に形成することが可能になる。これにより、P<sup>+</sup>領域16が半導体装置の表面に露出することを防止できるようになる。

【0067】なお、本発明は上記実施形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

【0068】例えば本発明は、出力トランジスタのみならず種々のトランジスタに適用でき、例えばパッドに接続される入力トランジスタの保護トランジスタ等にも適用できる。

【0069】また第2不純物領域と第4不純物領域との位置関係も、本実施形態で説明したものに限らず種々の変形実施が可能である。

14

【0070】また不純物領域を形成する際のプロセス条件も、本実施形態で説明したものに限定されるものではない。

【0071】また半導体装置のレイアウトやデバイス構造も、本実施形態で説明したものに限らず種々の変形実施が可能である。

【0072】またツェナー電圧の設定手法も、本実施形態で説明したものが特に望ましいが、これに限定されるものではない。

#### 【0073】

##### 【図面の簡単な説明】

【図1】図1(A)は、背景技術の平面図であり、図1(B)は、図1(A)のA1-A2線での断面図である。

【図2】図2(A)は、本実施形態の平面図であり、図2(B)は、図2(A)のB1-B2線での断面図である。

【図3】ツェナー電圧V<sub>Z</sub>の設定について説明するための図である。

【図4】図4(A)、(B)は、不純物の濃度分布について説明するための図である。

【図5】P<sup>+</sup>不純物濃度とツェナー電圧との関係について示す図である。

【図6】図6(A)、(B)は、ゲート長Lをデザインルール上の最小寸法にする手法について説明するための図である。

【図7】コンタクトサイズ等をデザインルール上の最小寸法にする手法について説明するための図である。

【図8】図8(A)、(B)は、ツェナーダイオードの接合の種々の形態について示す図である。

【図9】図9(A)~(F)は、製造方法1の工程断面図を示す図である。

【図10】図10(A)~(F)は、製造方法2の工程断面図を示す図である。

【図11】図11(A)~(F)は、製造方法3の工程断面図を示す図である。

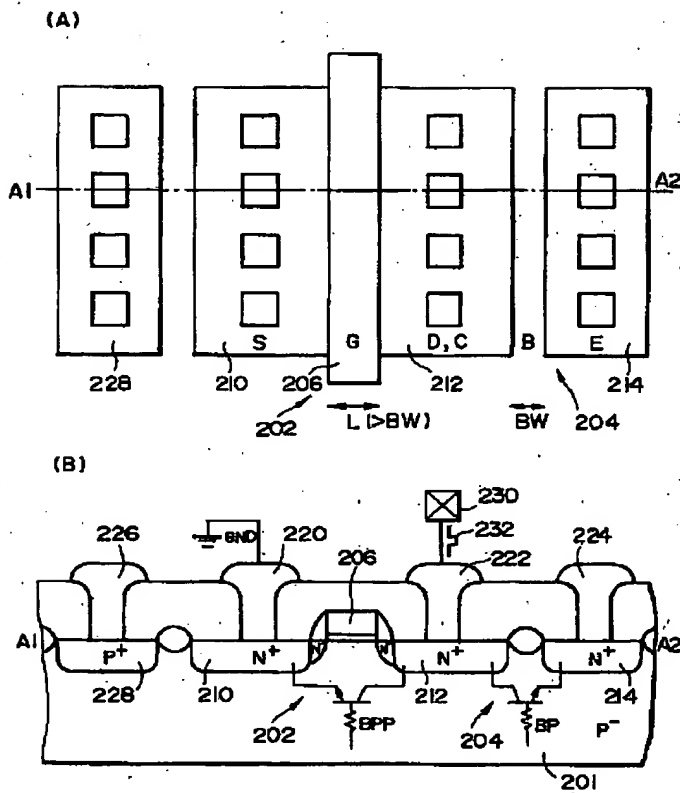
##### 【符号の説明】

- |             |                            |
|-------------|----------------------------|
| 1           | Pウェル                       |
| 2           | 出力トランジスタ                   |
| 4           | バイポーラトランジスタ                |
| 6           | ゲート電極                      |
| 10          | N <sup>+</sup> 領域(第1不純物領域) |
| 12          | N <sup>+</sup> 領域(第2不純物領域) |
| 14          | N <sup>+</sup> 領域(第3不純物領域) |
| 16          | P <sup>+</sup> 領域(第4不純物領域) |
| 20、22、24、26 | 配線層                        |
| 28          | P <sup>+</sup> 領域          |
| 30          | パッド                        |
| 32          | 高電圧パルス                     |
| 40          | ドレインコンタクト                  |

(9)

15  
 41、42、44、46 辺  
 50 ソースコンタクト  
 51、52、54、56 辺  
 60 素子分離膜  
 62 チャネルストッパ層  
 66、67、68 低濃度不純物領域  
 70 サイドウォール  
 201 Pウェル  
 202 出力トランジスタ  
 204 バイポーラトランジスタ  
 206 ゲート電極

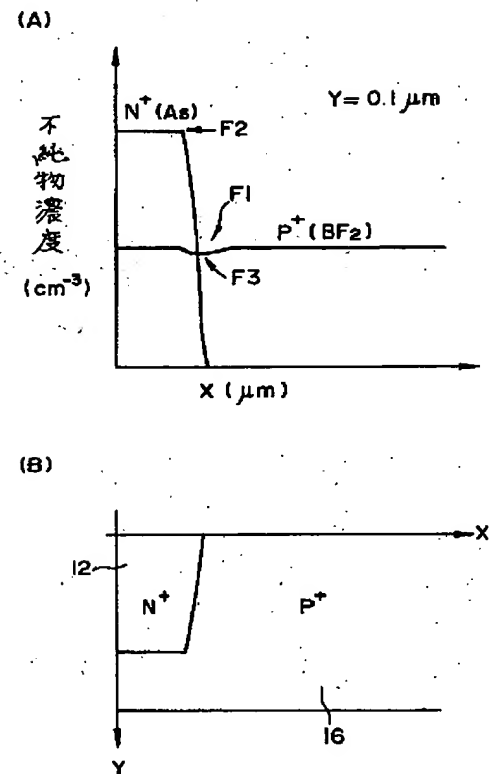
【図1】



16

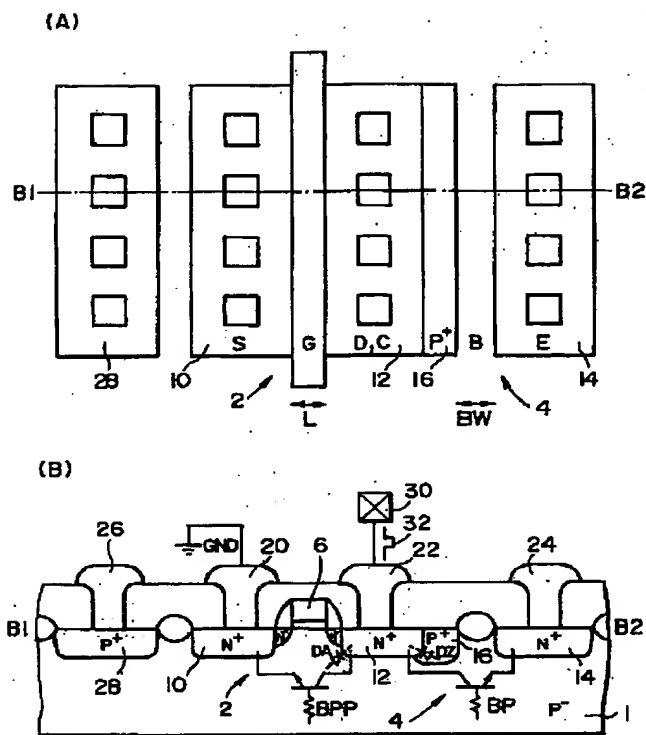
210 N<sup>+</sup>領域  
 212 N<sup>+</sup>領域  
 214 N<sup>+</sup>領域  
 220、222、224、226 配線層  
 228 P<sup>+</sup>領域  
 230 パッド  
 232 高電圧パルス  
 DZ ツェナーダイオード  
 DA 寄生ダイオード  
 10 BP バイポーラトランジスタ  
 BPP 寄生バイポーラトランジスタ

【図4】

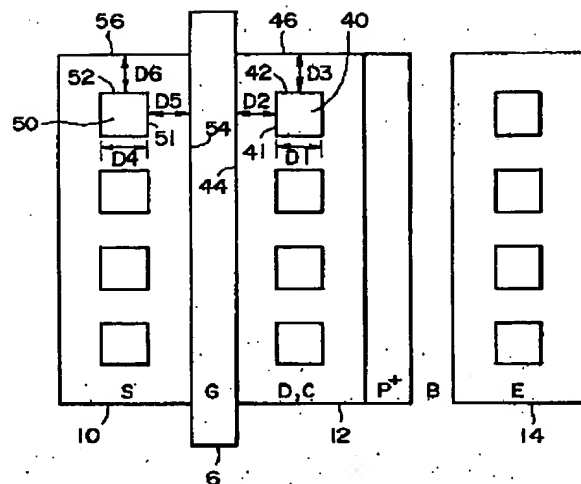


(10)

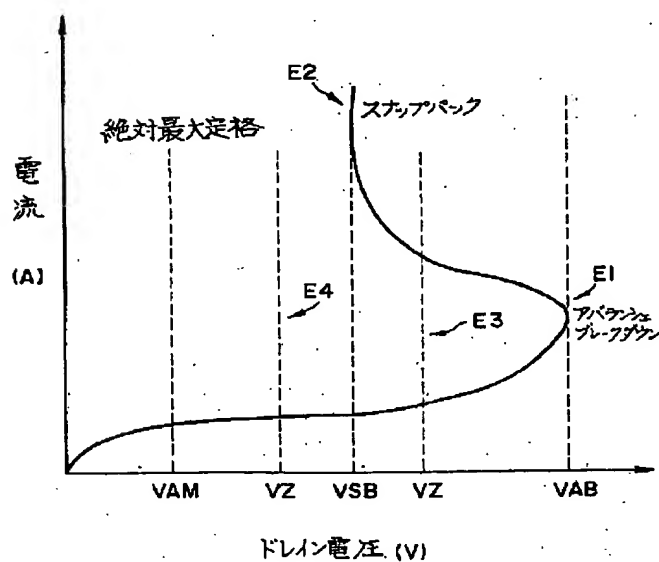
【図2】



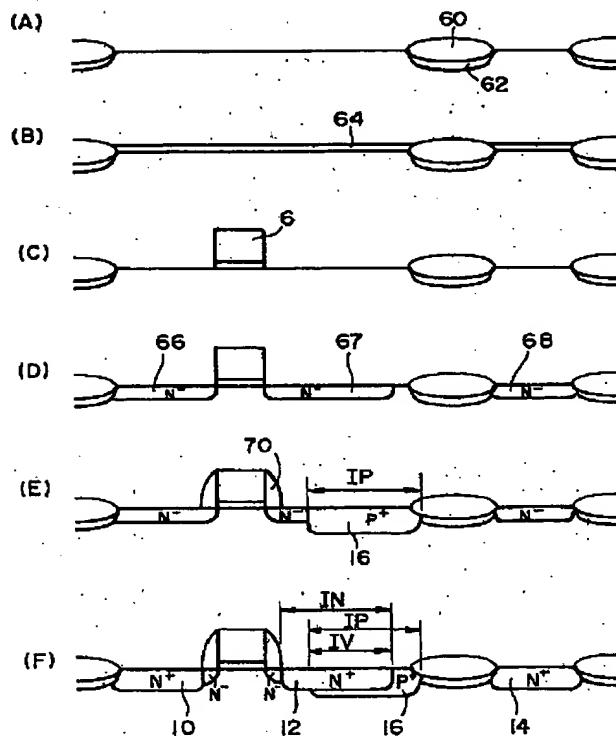
【図7】



【図3】

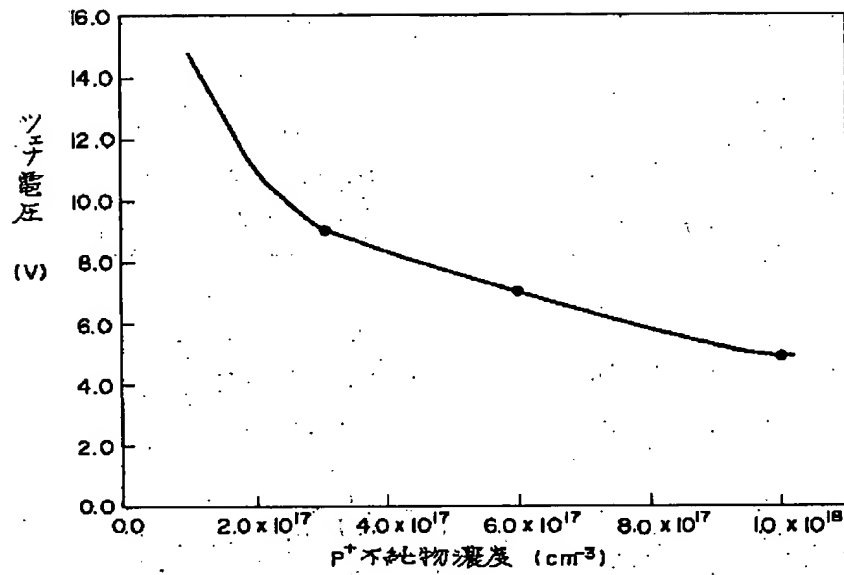


【図10】

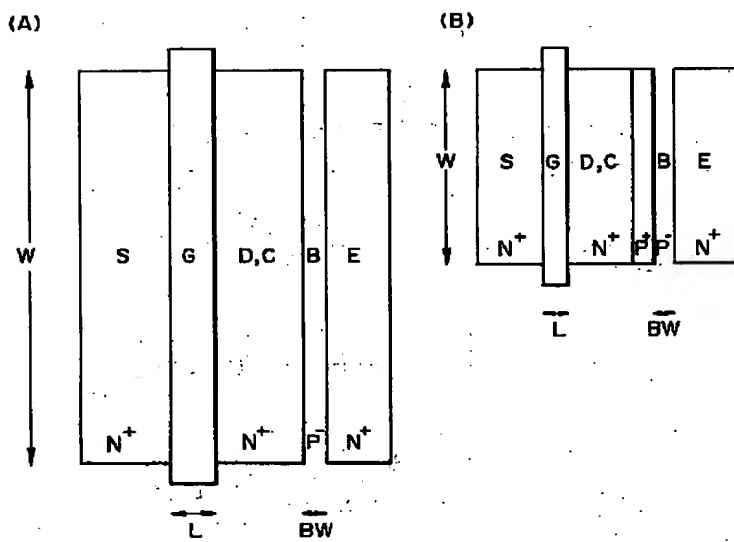


(11)

【図5】

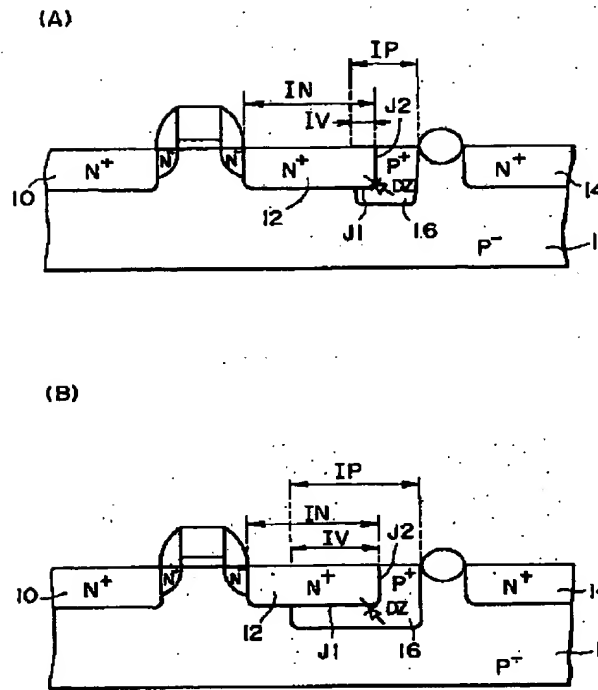


【図6】

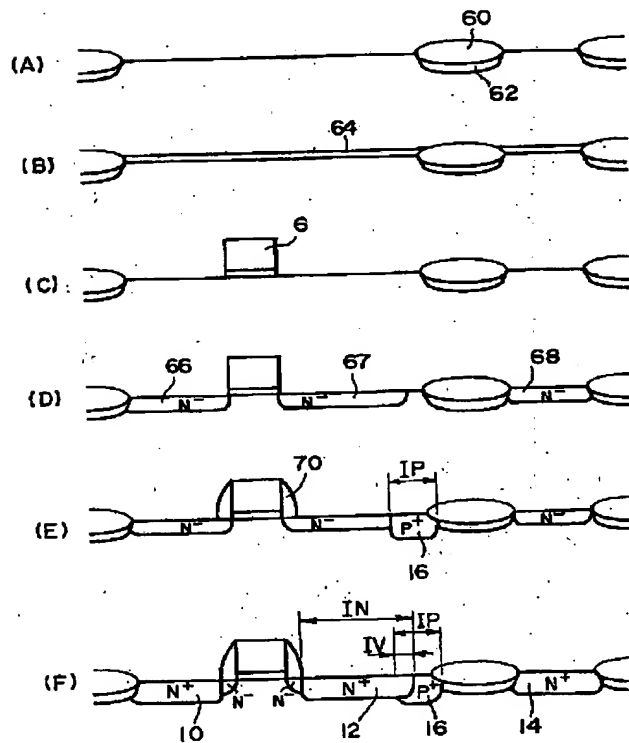


(12)

【図 8】



【図 9】



(13)

【図11】

